

© EPODOC / EPO

PN - JP2151048 A 19900611  
PD - 1990-06-11  
PR - JP19880305201 19881201  
OPD - 1988-12-01  
TI - SEMICONDUCTOR INTEGRATED CIRCUIT  
IN - IKEGAMI FUMIO  
PA - NIPPON ELECTRIC CO  
IC - G01R31/26 ; H01L21/3205 ; H01L21/66 ; H01L27/04  
CT - JP56088333 A [ ]; JP62103255B B [ ]; JP61070735 A [ ]  
FT - 2G003/AA07 ; 2G003/AB18 ; 2G003/AG04 ; 2G003/AG13 ;  
2G003/AH04  
- 4M106/AD01 ; 4M106/AD09 ; 4M106/AD23 ; 4M106/BA01 ;  
4M106/CA50  
- 5F033/AA00 ; 5F033/CA11  
- 5F038/CA10 ; 5F038/DT04 ; 5F038/DT15

© WPI / DERWENT

TI - Semiconductor IC device - has connection of pad to each end of conductor placed along outside of buffer circuit NoAbstract Dwg 1/2  
PR - JP19880305201 19881201  
PN - JP2151048 A 19900611 DW199029 000pp  
PA - (NIDE ) NEC CORP  
IC - G01R31/26 ;H01L21/66 ;H01L27/04  
OPD - 1988-12-01  
AN - 1990-221411 [29]

© PAJ / JPO

PN - JP2151048 A 19900611  
PD - 1990-06-11  
AP - JP19880305201 19881201  
IN - IKEGAMI FUMIO  
PA - NEC CORP  
TI - SEMICONDUCTOR INTEGRATED CIRCUIT  
AB - PURPOSE:To make possible the detection of the positional deviation of bonding pads from the probes of a probe card and the

detection of the bite of the probes into the interior of a semiconductor circuit due to an excessive application of a probe pressure and the like by a method wherein two or more of pads having an area smaller than the areas of the bonding pads are connected to each other by a conductor.

- CONSTITUTION: At least two pads having an area smaller than the areas of bonding pads and a conductor, by which the pads are connected to each other, are provided outside of a buffer circuit. For example, the areas of pads 2 are reduced to 1/4 of the areas of bonding pads, probes are respectively erected on the pads 2 as well in the same way as being erected on the bonding pads 1 and if the probes are in contact to the pads 2, the probes result in being in contact to the bonding pads 1 within 1/4 of the areas in the centers of the bonding pads. Thereby, if a continuity check between the probes being erected on the pads 2a and 2b is carried out, the positional deviation of the bonding pads from the probes of a probe card and the bite of the probes into the interior of a semiconductor circuit due to an excessive application of a probe pressure and the like can be checked electrically.

I - H01L21/66 ; G01R31/26 ; H01L21/3205 ; H01L27/04

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-151048

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)6月11日

H 01 L 21/66

G 01 R 31/26

H 01 L 21/3205

21/66

27/04

E

J

G

Y

T

7376-5F

8606-2G

8606-2G

7376-5F

7514-5F

6810-5F

H 01 L 21/88

T

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 昭63-305201

⑰ 出 願 昭63(1988)12月1日

⑱ 発 明 者 池 上 文 雄 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

〔発明が解決しようとする課題〕

1. 発明の名称

半導体集積回路

上述した従来の半導体集積回路は、第1に入出力端子の多ピン化が進むにしたがい、プローブカードの探針数が多くなり、また探針の集積度も高くなるので目視によるプローブカードの探針とボンディングパッドの位置合せが困難になってきた。

2. 特許請求の範囲

バッファ回路の外側に、ボンディングパッドより面積が小さい少なくとも2個以上のパッドと、これらパッド間を接続する導体を含むことを特徴とする半導体集積回路。

第2に、LSIテストにて探針とボンディングパッドが接触していることを確認する時、ボンディングパッドの端に探針が接触していたり、針圧のかけすぎで探針が半導体集積回路の内側へ食込んでボンディングパッドから一部食出しているも検出できなかった。ボンディングパッドの端に探針が接触していると、パッドが欠けたりする原因となる。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体集積回路のテスト容易化回路に関する。

〔従来の技術〕

従来、半導体集積回路のボンディングパッドにプローブカードの探針を合わせるには、目視で合せた後、LSIテストにて探針をボンディングパッドが接触していることを確認していた。

第3に、初めにLSIテストにてボンディングパッドと探針が接触していることを確認しても、セッティングミス等により多数のLSIを連続して測定しているとボンディングパッドと探針がずれてくることがあるが、この位置ずれをLSIテ

スタでは、半導体集積回路のオープン不良と区別できなかった。

〔課題を解決するための手段〕

本発明の半導体集積回路は、バッファ回路の外部にボンディングパッドより面積が小さい少なくとも2個以上のパッドとそのパッド間を接続する導体を有している。

したがって、本発明の半導体集積回路は、第1にボンディングパッドとプローブカードの探針の位置ずれ、針圧のかけすぎ等による探針の半導体集積回路内部への食込みを電気的にチェックでき、第2に半導体集積回路のオープン不良か探針とボンディングパッドの位置ずれによる不良の判定が容易になる。

〔実施例〕

次に、本発明について図面を参照して説明する。第1図は本発明の実施例である。第1図において、“1”は半導体集積回路のボンディングパッド、“2”はパッド、“3”は導体、“4”はLSIチップである。

パッド間を導体で接続することにより、

第1に、ボンディングパッドとプローブカードの探針の位置ずれ、針圧のかけすぎ等による探針の半導体集積回路内部への食込みを検出でき、

第2に半導体集積回路のオープン不良か、探針とボンディングパッドの位置ずれによる不良かの判定が可能になるという効果がある。

#### 4. 図面の簡単な説明

第1図は、本発明の第1の実施例、第2図は第2の実施例である。

1……ボンディングパッド、2……パッド、3……導体、4……LSIチップ。

代理人 弁理士 内 原 晋

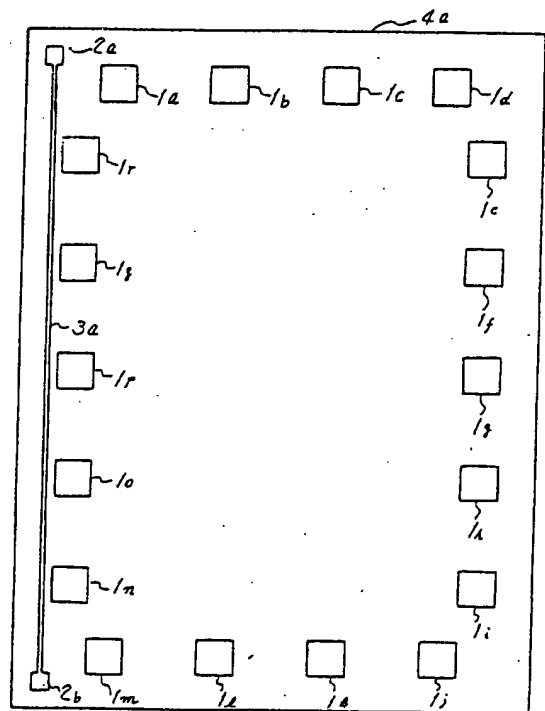
パッド2はボンディングパッドの1/4の面積にしてある。探針をボンディングパッド1と同様にパッド2にもたてて、探針がパッド2に接触していれば、ボンディングパッドの中心の1/4の面積中に探針が接触していることになる。よってパッド2aと2bにたてている探針間の導通チェックをすれば、ボンディングパッドとプローブカード探針位置のずれ、針圧のかけすぎ等による探針の半導体回路内部への食込みを電気的にチェックできる。

第2図は、本発明の第2の実施例である。第2図において“1”は半導体集積回路のボンディングパッド、“2”はパッド、“3”は導体、“4”はLSIチップである。

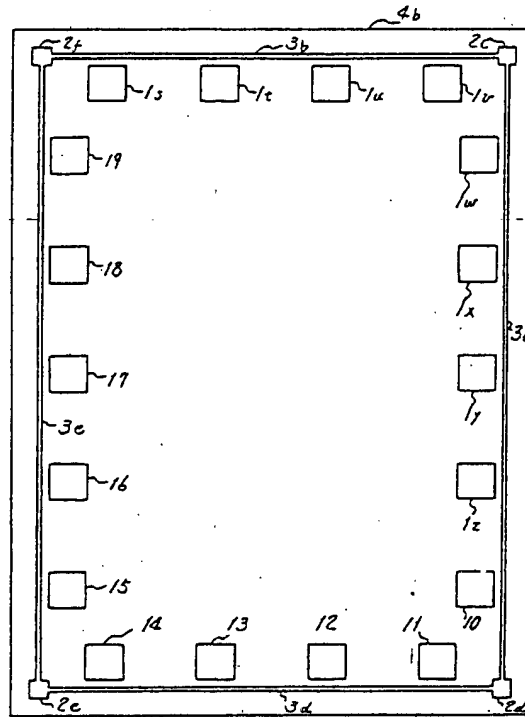
パッド2を四隅につけることにより、プローブカードの傾き等による部分的な針圧のかかりすぎも電気的にチェックすることが可能となる。

〔発明の効果〕

以上説明したように本発明は、ボンディングパッドより面積が小さい少なくとも2個以上の



第1図



第2図